

MENU

SEARCH

INDEX

DETAIL

NEXT

1/2



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11097649

(43)Date of publication of application: 09.04.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/768
H01L 27/10

(21)Application number: 09260133

(71)Applicant:

MITSUBISHI ELECTRIC CORP

(22)Date of filing: 25.09.1997

(72)Inventor:

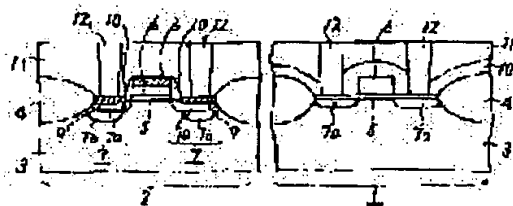
KIMURA MASATOSHI
SEKIKAWA HIROAKI
MOTONAMI KAORU
AMOU ATSUSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce wiring resistance and contact resistance by defining a memory cell portion as a non-silicide region and also defining a logical circuit region including a peripheral circuit region other than the memory cell or the peripheral region as a silicide region.

SOLUTION: For example, in a transistor element formed in a logic circuit forming region (including a peripheral circuit region) which is a silicide region 2, a semiconductor device selectively forms silicide layers 8, 9 on the surface of a gate electrode 5 and a source/drain region 7. Thereby, a low resistance of gate electrode 5, namely word line and also low resistance of contact resistance of a contact 12 formed in the condition being connected to the source/ drain region 7 can be realized. Moreover, since a sidewall is not formed at the sidewall of the gate electrode 6 forming a transistor element of a non-silicide region 1 for controlling junction leakage by controlling the formation



of the silicide, damages from etching given to the surface of a semiconductor substrate 3 can be reduced.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[NEXT](#)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-97649

(43)公開日 平成11年(1999) 4月9日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

21/8242

4 6 1

21/768

21/90

A

27/10

4 6 1

27/10

6 2 1 B

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21)出願番号

特願平9-260133

(22)出願日

平成9年(1997) 9月25日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 木村 雅俊

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 関川 宏昭

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 本並 薫

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74)代理人 弁理士 宮田 金雄 (外2名)

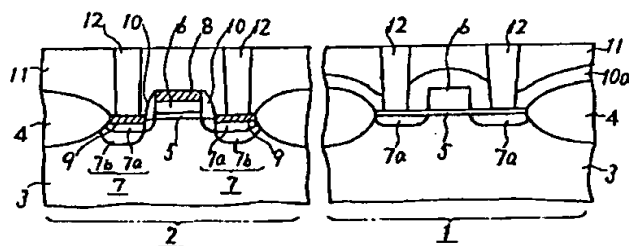
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 DRAMメモリセルおよび周辺回路または周
辺回路を含む論理回路領域を有する半導体装置におい
て、メモリセルのリフレッシュ特性を向上させつつ、高
速動作を可能とする。

【解決手段】 メモリセルを構成するトランジスタは、
ソース/ドレイン領域の表面をシリサイド化しないこと
で接合リークを抑制してリフレッシュ特性を向上させ、
周辺回路領域または論理回路領域を構成するトランジス
タのソース/ドレイン領域表面及びゲート電極の表面は
シリサイド化することでコンタクト抵抗及び配線抵抗を
低減して高速動作を可能とする。周辺回路または論理回
路を構成するトランジスタのゲート電極側面には絶縁物
質からなるサイドウォールを形成し、ソース/ドレイン
領域形成の際の不純物注入マスクとし、メモリセル領域
に積層される絶縁物質はシリサイド化の際のマスクとし
て用いる。



3:半導体基板
4:分離酸化膜
5:ゲート酸化膜
6:ゲート電極
7a:低濃度不純物領域
7b:高濃度不純物領域
7:ソース/ドレイン領域

8,9:シリサイド層
10:サイドウォール
10a:TEOS酸化膜
11:層間絶縁膜
12:コンタクト

【特許請求の範囲】

【請求項1】 DRAMメモリセル領域、周辺回路領域または上記周辺回路領域を含む論理回路領域を有する半導体装置において、上記周辺回路領域または上記論理回路領域内の第一のMOSトランジスタは、側面にサイドウォールが付着形成された第一のゲート電極上及び第一のソース／ドレイン領域上にシリサイド層を有し、上記DRAMメモリセル領域内のメモリセルを構成する第二のMOSトランジスタの第二のゲート電極及び第二のソース／ドレイン領域の表面には上記サイドウォールを構成する物質と同一の物質が積層されることを特徴とする半導体装置。

【請求項2】 DRAMメモリセルを有する半導体装置において、上記DRAMメモリセルを構成するトランジスタのゲート電極の表面及びビット線コンタクトと接するソース／ドレイン領域の表面にシリサイド層を設けることを特徴とする半導体装置。

【請求項3】 DRAMメモリセルを構成するトランジスタの他方のソース／ドレイン領域にはストレージノードコンタクトが接続され、上記他方のソース／ドレイン領域の表面の上記ストレージノードとの接続部には選択的にシリサイド層が形成されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 半導体基板の表面領域に形成された第一導電型の不純物領域、上記第一導電型の不純物領域の表面上にシリサイド層を介して接続された第二導電型の不純物を含有する半導体物質からなるコンタクトを含み、上記シリサイド層は、少なくとも上記コンタクトに接する窒素原子を含む第一のシリサイド層、上記第一のシリサイド層の下層の第二のシリサイド層を含む多層構造であり、上記第一のシリサイド層内の窒素濃度は上記コンタクトに近いほど大きく、上記第二のシリサイド層に近いほど小さいことを特徴とする半導体装置。

【請求項5】 第一導電型の不純物領域は、周辺回路を構成する第一のトランジスタの第一のソース／ドレイン領域であり、上記第一のソース／ドレイン領域は、シリサイド層及びコンタクトを介して、メモリセル領域を構成する第二のトランジスタの第二のソース／ドレイン領域である第二導電型の不純物領域に電気的に接続されることを特徴とする請求項4記載の半導体装置。

【請求項6】 DRAMメモリセル領域は、少なくとも一部にシリサイド層を有するメモリセルにより構成された第一の領域と、シリサイド層を含まないメモリセルにより構成された第二の領域とにより構成されることを特徴とする請求項2、3のいずれか一項記載の半導体装置。

【請求項7】 半導体基板上のDRAMメモリセル領域に形成されたMOSトランジスタ、上記MOSトランジスタの一方のソース／ドレイン領域に電気的に接続されたストレージノード、上記ストレージノードの表面に誘

電体膜を介して積層されたセルプレート、上記セルプレートの表面に積層されたシリサイド層、上記シリサイド層上に層間絶縁膜を介して形成された上層配線を含むことを特徴とする半導体装置。

【請求項8】 上層配線は層間絶縁膜内に形成されたコンタクトを介してシリサイド層に電気的に接続されることを特徴とする請求項7記載の半導体装置。

【請求項9】 半導体基板上の第一の領域、第二の領域の表面にそれぞれゲート絶縁膜を介してゲート電極を形成する工程、上記ゲート電極下に位置するチャンネル領域を挟んで二つの低濃度不純物領域をそれぞれ形成する工程、少なくとも上記第一、第二の領域上に絶縁物質を積層する工程、上記第一の領域上にエッチングマスクを形成する工程、上記第二の領域に対して異方性エッチングを行い、ゲート電極の側面に付着した上記絶縁物質からなるサイドウォールを形成し、上記第二の領域に位置する上記低濃度不純物領域に対して不純物注入を行い、高濃度不純物領域を形成する工程、上記エッチングマスクを除去する工程、少なくとも上記第二の領域上に高融点金属膜または準貴金属膜を積層する工程、加熱によってシリサイド化を行い、上記高融点金属膜または準貴金属膜と上記第二の領域のゲート電極及びソース／ドレイン領域とが接する面にシリサイド層を形成する工程、未反応の上記高融点金属膜または準貴金属膜を除去する工程を含み、上記第一の領域はDRAMメモリセル領域であり、上記第二の領域は周辺回路領域または上記周辺回路領域を含む論理回路領域であることを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板の表面領域に、第一導電型の不純物領域を形成する工程、上記第一導電型の不純物領域上に高融点金属膜または準貴金属膜を積層し、熱処理することでシリサイド化を行い、上記第一導電型の不純物領域と上記高融点金属膜または準貴金属膜とが接する面にシリサイド層を形成する工程、未反応の高融点金属膜又は準貴金属膜を除去する工程、上記シリサイド層に対し窒素を注入し、熱処理する工程、上記シリサイド層に接する第二の導電型のコンタクトを形成する工程を含み、窒素注入後の上記シリサイド層は、少なくとも上記コンタクトに接する窒素原子を含む第一のシリサイド層、上記第一のシリサイド層の下層の第二のシリサイド層を含む多層構造であり、上記第一のシリサイド層内の窒素濃度は上記コンタクトに近いほど大きく、上記第二のシリサイド層に近いほど小さいことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、拡散層およびゲート電極の表面、またはキャパシタ電極の表面等至高融点金属若しくは準貴金属のシリサイド層が選択的に形成された半導体デバイス構造及び製造方法に関するもので

ある。

【0002】

【従来の技術】図13は文献(June 25-26, 1985 V-MIC Conf Proceeding)におけるSALICIDE (Self Aligned Silicidation) プロセスによる半導体装置の要部断面図を示しており、図において、101は半導体基板、102は分離酸化膜、103は半導体基板101の表面に積層されたゲート絶縁膜、104はゲート絶縁膜上に積層されたゲート電極、105はゲート電極104の表面をシリサイド化することで形成されたシリサイド層、106はゲート電極104下に位置するチャネル領域を挟んで両側に形成された高濃度不純物領域からなるソース/ドレイン領域、107はソース/ドレイン領域106の表面をシリサイド化することで形成されたシリサイド層、108はシリサイド層105の側面を含むゲート電極104の側面に付着形成されたサイドウォール、109はゲート電極表面を含む素子上に積層された絶縁膜、110はソース/ドレイン領域106の表面に当接する用に絶縁膜108上に形成されたビット線コンタクトをそれぞれ示すものである。

【0003】図13に示すような半導体装置は、ゲート電極104の表面、ソース/ドレイン領域106の表面をシリサイド化することで、低抵抗化を行っている。

【0004】次に、図14を用いて図13の半導体装置のプロセスフローについて説明する。まず、図14

(a)に示すように、半導体基板101の表面の非活性領域となる領域に分離酸化膜102を形成する。さらに、ゲート絶縁膜103を形成後、この表面にゲート電極104をパターンニングする。次に、半導体基板101に対して不純物注入を行い、ソース/ドレイン領域106を形成する。

【0005】その後、図14(b)に示すように、半導体基板101の全面にTEOS等の酸化膜を積層し、さらに全面エッチバックすると、ゲート電極104の側面に付着するサイドウォール108を選択的に残すことが可能となる。

【0006】次に、図14(c)に示すように、Ti等の高融点金属や、コバルトなどの準貴金属105aを積層し、RTA (Rapid Thermal Annealing) を行ってゲート電極104及びソース/ドレイン領域106の表面をシリサイド化し、シリサイド層105、107を得る。このとき未反応の高融点金属若しくは準貴金属105aが表層に残った状態となる。

【0007】その後、図14(d)に示すように、未反応の高融点金属若しくは準貴金属105aを H_2SO_4/H_2O_2 等の除去液で取り去る。その後、絶縁膜109及びビット線コンタクト110を形成することで図13に示すような半導体装置を形成することが可能となる。

【0008】しかし、一般的にシリサイド層107が形成されると、ソース/ドレイン領域106とウェルとの

PN接合にシリサイド層107がスパイク状に伸びて、フィールドエッジ等の接合リーク電流が大きいという欠点があることが知られている。

【0009】そのため、たとえシリサイド層の形成により、拡散層、ゲート電極の抵抗を小さくできるというメリットがあっても、接合リークに敏感なデバイス、例えばDRAM等には適用できなかった。

【0010】その他の従来の技術として、特開平5-259115号公報には、トランジスタ素子が形成された第1の素子領域はゲート電極上、ソース/ドレイン領域上を選択的にシリサイド化し、不純物領域からなる高抵抗素子が形成された第2の素子領域は、シリサイド化しない半導体装置が示されている。また、第2の素子領域をシリサイド化させないように、第2の素子領域上に SiO_2 膜をマスクとして選択的に設けることが示されている。

【0011】

【発明が解決しようとする課題】一方、近年では、高速なマイクロプロセッサを作るためのロジックプロセスとDRAMとを合体させる、DRAM混載ロジックプロセスというもの注目されている。これは、DRAMのメモリ集積度の高さと、ロジックプロセスの高速なトランジスタを1つのチップの上で実現するためのプロセスである。

【0012】最近注目されているマルチメディア関連のデバイスでは、グラフィックスの演算を行うために、大規模なメモリと高速な演算とを実現するための高性能トランジスタが必要であり、DRAM混載ロジックプロセスが必要となっている。

【0013】高速ロジックプロセスにおいては、先の高性能トランジスタだけではなく、ゲート電極やソース/ドレイン領域などの拡散層の抵抗も遅延に対しては大きな影響があり、シリサイドプロセスを導入することで高速化を図っている。

【0014】しかし、従来の技術として説明したDRAM混載プロセスでは、そのシリサイドプロセスについては、接合リークによるリフレッシュ不良を引き起こす可能性があり、使用しにくいという問題があった。

【0015】本願発明は、このような問題を解決するためになされたものであり、DRAMにおいて、積極的にシリサイドプロセスを使用しているために必要な技術を提供するものである。

【0016】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、DRAMメモリセル領域、周辺回路領域または上記周辺回路領域を含む論理回路領域を有する半導体装置において、上記周辺回路領域または上記論理回路領域内の第一のMOSトランジスタは、側面にサイドウォールが付着形成された第一のゲート電極上及び第一のソース/ドレイン領域上にシリサイド層を有し、上

5

記DRAMメモリセル領域内のメモリセルを構成する第二のMOSトランジスタの第二のゲート電極及び第二のソース／ドレイン領域の表面には上記サイドウォールを構成する物質と同一の物質が積層されるものである。

【0017】また、この発明の請求項2に係る半導体装置は、DRAMメモリセルを有する半導体装置において、上記DRAMメモリセルを構成するトランジスタのゲート電極の表面及びビット線コンタクトと接するソース／ドレイン領域の表面にシリサイド層を設けるものである。

【0018】さらに、この発明の請求項3に係る半導体装置は、請求項2の半導体装置の構成に加え、DRAMメモリセルを構成するトランジスタの他方のソース／ドレイン領域にはストレージノードコンタクトが接続され、上記他方のソース／ドレイン領域の表面の上記ストレージノードとの接続部には選択的にシリサイド層が形成されているものである。

【0019】また、この発明の請求項4に係る半導体装置は、半導体基板の表面領域に形成された第一導電型の不純物領域、上記第一導電型の不純物領域の表面上にシリサイド層を介して接続された第二導電型の不純物を含む半導体物質からなるコンタクトを含み、上記シリサイド層は、少なくとも上記コンタクトに接する窒素原子を含む第一のシリサイド層、上記第一のシリサイド層の下層の第二のシリサイド層を含む多層構造であり、上記第一のシリサイド層内の窒素濃度は上記コンタクトに近いほど大きく、上記第二のシリサイド層に近いほど小さいものである。

【0020】さらに、この発明の請求項5に係る半導体装置は、請求項4の半導体装置の構成に加え、第一導電型の不純物領域は、周辺回路を構成する第一のトランジスタの第一のソース／ドレイン領域であり、上記第一のソース／ドレイン領域は、シリサイド層及びコンタクトを介して、メモリセル領域を構成する第二のトランジスタの第二のソース／ドレイン領域である第二導電型の不純物領域に電気的に接続されるものである。

【0021】また、この発明の請求項6に係る半導体装置は、請求項2若しくは請求項3のいずれか一方の半導体装置の構成に加え、DRAMメモリセル領域は、少なくとも一部にシリサイド層を有するメモリセルにより構成された第一の領域と、シリサイド層を含まないメモリセルにより構成された第二の領域とにより構成されるものである。

【0022】さらに、この発明の請求項7に係る半導体装置は、半導体基板上のDRAMメモリセル領域に形成されたMOSトランジスタ、上記MOSトランジスタの一方のソース／ドレイン領域に電気的に接続されたストレージノード、上記ストレージノードの表面に誘電体膜を介して積層されたセルプレート、上記セルプレートの表面に積層されたシリサイド層、上記シリサイド層上に

6

層間絶縁膜を介して形成された上層配線を含むものである。

【0023】また、この発明の請求項8に係る半導体装置は、請求項7の半導体装置の構成に加え、上層配線は層間絶縁膜内に形成されたコンタクトを介してシリサイド層に電気的に接続されるものである。

【0024】さらに、この発明の請求項9に係る半導体装置の製造方法は、半導体基板上の第一の領域、第二の領域の表面にそれぞれゲート絶縁膜を介してゲート電極を形成する工程、上記ゲート電極下に位置するチャネル領域を挟んで二つの低濃度不純物領域をそれぞれ形成する工程、少なくとも上記第一、第二の領域上に絶縁物質を積層する工程、上記第一の領域上にエッチングマスクを形成する工程、上記第二の領域に対して異方性エッチングを行い、ゲート電極の側面に付着した上記絶縁物質からなるサイドウォールを形成し、上記第二の領域に位置する上記低濃度不純物領域に対して不純物注入を行い、高濃度不純物領域を形成する工程、上記エッチングマスクを除去する工程、少なくとも上記第二の領域上に高融点金属膜または準貴金属膜を積層する工程、加熱によってシリサイド化を行い、上記高融点金属膜または準貴金属膜と上記第二の領域のゲート電極及びソース／ドレイン領域とが接する面にシリサイド層を形成する工程、未反応の上記高融点金属膜または準貴金属膜を除去する工程を含み、上記第一の領域はDRAMメモリセル領域であり、上記第二の領域は周辺回路領域または上記周辺回路領域を含む論理回路領域であるものである。

【0025】また、この発明の請求項10に係る半導体装置の製造方法は、半導体基板の表面領域に、第一導電型の不純物領域を形成する工程、上記第一導電型の不純物領域上に高融点金属膜または準貴金属膜を積層し、熱処理することでシリサイド化を行い、上記第一導電型の不純物領域と上記高融点金属膜または準貴金属膜とが接する面にシリサイド層を形成する工程、未反応の高融点金属膜又は準貴金属膜を除去する工程、上記シリサイド層に対し窒素を注入し、熱処理する工程、上記シリサイド層に接する第二の導電型のコンタクトを形成する工程を含み、窒素注入後の上記シリサイド層は、少なくとも上記コンタクトに接する窒素原子を含む第一のシリサイド層、上記第一のシリサイド層の下層の第二のシリサイド層を含む多層構造であり、上記第一のシリサイド層内の窒素濃度は上記コンタクトに近いほど大きく、上記第二のシリサイド層に近いほど小さいものである。

【0026】

【発明の実施の形態】

実施の形態1. この発明の実施の形態1について説明する。図1はこの発明の実施の形態1を示す図であり、DRAMのチップアーキテクチャを示す図である。図において、1はDRAMのメモリセルアレイ部分に相当する、シリサイド化を行わない非シリサイド領域、2は周

7

辺回路部に相当する、ゲート表面、活性領域表面に対してシリサイド化を行うシリサイド領域をそれぞれ示している。

【0027】この発明の実施の形態1は、リフレッシュ不良などで、接合リークが最も厳しい部分、例えば、最も微細化された素子によって構成されるメモリセル部分だけをシリサイド化しないという発明であり、他の周辺回路の領域は高速動作を実現させるためにゲート電極上、ソース／ドレイン領域など拡散層の表面を選択的にシリサイド化する技術を示している。

【0028】図1のような構造の半導体装置を構成することによって、メモリセルにおいては、非シリサイドのDRAMと同様であり、かつ周辺回路においてはシリサイド化の大きなメリットである配線抵抗、コンタクト抵抗の削減を実現させることが可能である。

【0029】図2は、この発明のシリサイド領域と非シリサイド領域のそれぞれの領域に形成された素子(MOSトランジスタ)の断面図を示す図である。図2において、3は半導体基板、4は半導体基板1の表面の非活性領域に形成された分離酸化膜、5は半導体基板3の活性領域表面に形成されたゲート絶縁膜、6はゲート絶縁膜5の表面にパターニングされたゲート電極、7はゲート電極6の下方に位置するチャンネル領域を挟んで活性領域表面領域に形成された低濃度不純物領域7aと高濃度不純物領域7bからなるソース／ドレイン領域、8、9はそれぞれシリサイド領域2に形成されたゲート電極6、ソース／ドレイン領域7の表面をシリサイド化することで形成されたシリサイド層、10はシリサイド領域のゲート電極6の側面に付着して形成されたサイドウォール、10aはサイドウォール10を構成する物質と同じ物質であり非シリサイド領域1に積層されたTEOS酸化膜、11は層間絶縁膜、12はそれぞれのトランジスタのソース／ドレイン領域7(または非シリサイド領域1に形成した低濃度不純物領域7aを含む)と上層配線(図示せず)とを電気的に接続するために層間絶縁膜11内に形成されたコンタクトをそれぞれ示している。

【0030】図2のような半導体装置は、例えばシリサイド領域2である論理回路形成領域(周辺回路領域を含むとする)に形成するトランジスタ素子についてはゲート電極5、ソース／ドレイン領域7の表面を選択的にシリサイド層8、9を形成してゲート電極5、すなわちワード線の低抵抗化、ソース／ドレイン領域7に接続した状態に形成されるコンタクト12とのコンタクト抵抗の低抵抗化を図り、非シリサイド領域1であるDRAMメモリセル領域においてはシリサイド化を抑制することで接合リークを抑制する。また、非シリサイド領域1のトランジスタ素子を構成するゲート電極6の側面にはサイドウォールを形成していないため、半導体基板3の表面に与えられるエッチングのダメージが小さいことが分かる。

8

【0031】次に、図2に示したような非シリサイド領域、シリサイド領域を有する半導体装置の製造方法を図3を用いて説明する。まず、図3(a)に示すように、半導体基板3上の非活性領域となる領域に選択的に分離酸化膜4を形成し、活性領域となる領域の表面にはゲート酸化膜5を形成する。その後、活性領域のゲート酸化膜5上に一つの配線(ワード線)となるゲート電極6をパターニングする。このゲート電極6はポリシリコンから構成されるものとする。その後、不純物注入を行うことで、ゲート電極6の下方に位置するチャンネル領域となる領域を挟んだ状態となるように低濃度不純物領域7aを形成する。不純物は半導体基板3の表面がpウェルである場合はn型不純物とする。

【0032】次に、図3(b)に示すように、非シリサイド領域1、シリサイド領域2の全面にTEOS酸化膜10aを積層する。このTEOS酸化膜10aはシリサイド領域2においては、ゲート電極6の側面に付着するサイドウォールとなり、非シリサイド領域1においてはシリサイド工程時のマスクとなる。さらに非シリサイド領域1にはレジストマスク13を形成する。

【0033】その後、図3(c)に示すように、レジストマスク13をエッチングマスクとしてシリサイド領域2に位置するTEOS酸化膜10aに対して異方性エッチングを行い、ゲート電極6の側面に付着する状態のサイドウォール10を形成する。さらにシリサイド領域2に対して不純物注入を行い、高濃度不純物領域7bを形成し、低濃度不純物領域7a、高濃度不純物領域7bからなるLDD構造であるn型のソース／ドレイン領域7を得る。

【0034】さらに、図3(d)に示すように、非シリサイド層1、シリサイド層2上にレジストマスク13を除去後、イオン注入損傷を回復させるアニールを行い、高融点金属または準貴金属14を積層する。

【0035】その後、図3(e)に示すように、RTAによって加熱を行い、シリサイド領域2のゲート電極6及びソース／ドレイン領域7の表面にシリサイド8、9を形成し、未反応の高融点金属または準貴金属14は H_2SO_4/H_2O_2 等の除去液で取り去る。さらに、層間絶縁膜11、上層配線との接続のためのコンタクト12をそれぞれ形成することで図2に示すような半導体装置を得ることが可能となる。なお、図2に示した半導体装置はこの発明の一例であり、コンタクト12の配置、層間絶縁膜11の表面形状など、得ようとする半導体装置に応じて異なる構造とすることが可能であることは言うまでもない。

【0036】このような形成方法で得られる半導体装置は、非シリサイド領域1に形成するゲート電極6の側面にサイドウォールを形成せず、シリサイド領域2に位置するゲート電極6の側面のみにサイドウォール10を形成しているため、従来技術に比して全領域のゲート電

極の側面にサイドウォールを形成する場合よりも、半導体基板 1 の表面に与えるダメージが小さく、また、シリサイド工程において、サイドマスクとなる TEOS 酸化膜を形成するという工程を省略することが可能となり、工程数の削減が可能である。

【0037】 以上のように、この発明の実施の形態 1 の発明においては、メモリセル部分を非シリサイド領域 1 とし、メモリセル以外の周辺回路領域、ロジック混載型の半導体装置の場合はロジック回路部分を含む領域をシリサイド領域 2 とすることで、非シリサイド領域 1 では接合リークのない良好な回路動作を可能とし、シリサイド領域 2 では、例えばシリサイド 8、9 を形成したことによる配線抵抗、コンタクト抵抗の低抵抗化を図った高速動作を可能とする半導体装置を得ることが可能である。

【0038】 実施の形態 2. 次に、この発明の実施の形態 2 について説明する。図 4 は半導体装置のメモリセル領域の断面構造を示すものであり、具体的には厚膜スタック構造のキャパシタを有する DRAM メモリセルの断面図を示している。図 4 (a) は一般的な厚膜スタック構造のキャパシタのビット線 15 が延在する一方向に切断した断面を示すものであり、日経マイクロデバイス 1993 年 11 月号、31 頁に示された図面に相当している。

【0039】 図 4 (a) において、符号 6a、6b はそれぞれ副ワード線、主ワード線をそれぞれ示しており、15 はビット線、12a はビット線 15 と半導体基板 3 の表面に形成された活性領域とを接続するビット線コンタクト、12b は厚膜スタック型のストレージノード 16 と半導体基板 3 の表面に形成された活性領域とを接続するストレージノードコンタクトである。またストレージノードコンタクト 16 の表面には誘電体膜を介してセルプレート 17 が成膜され、キャパシタを構成している。キャパシタ上には層間絶縁膜 11 を介して主ワード線 6b が配置されており、さらに上層にアルミニウムからなる列選択線 18 が形成されている。

【0040】 図 4 (b) はこの発明の実施の形態 2 の特徴を示す図であり、図 4 (a) に示した副ワード線 6a 及び主ワード線 6b の延在する一方向に切断した断面を示すものであり、図 4 (a) の図を 90° 回転させた図である。この断面図には代表的な 2 つのメモリセルを示す。この図 4 (b) において、符号 19 はキャパシタの構成要素であり、ストレージノード 16 とセルプレート 17 との間に介在する誘電体膜、10b は非シリサイド領域 1 の低濃度不純物領域 7a 上に積層された TEOS 酸化膜を示している。また、20、21 はメモリセルを構成するトランジスタのゲート電極 6 の表面、ソース/ドレイン領域となる低濃度不純物領域 7a の表面に選択的に形成されたシリサイド層を示している。なお、図 4 (a) の副ワード線 6a は図 4 (b) のゲート電極 6 に

相当している。

【0041】 先述の実施の形態 1 においては、1 つのチップ内のメモリセル領域を非シリサイド領域 1、メモリセル以外を構成する領域をシリサイド領域 2 とすることを特徴としていたが、この実施の形態 2 ではメモリセル領域において、非シリサイド領域とシリサイド領域との両方を形成している。具体的には、ストレージノードコンタクト 12b が接続される低濃度不純物領域 7a の表面は非シリサイド領域 1 とし、ビット線コンタクト 12a が接続される低濃度不純物領域 7a の表面及びゲート電極 6 の表面にはそれぞれシリサイド層 10、21 を形成し、シリサイド領域 2 としている。

【0042】 次に、図 4 に示した半導体装置の製造方法を説明する。まず、半導体基板上にトランジスタ素子を構成するゲート電極 6 及びソース/ドレイン領域 7 (メモリセル領域においては低濃度不純物領域 7a) 等を形成し、ゲート電極 6 の側面にはサイドウォール 10 を形成する。その後、メモリセル領域のストレージノードコンタクト 12b が当接する低濃度不純物領域 7a が形成された領域上に、シリサイド工程の際のマスクとなる物質、例えば TEOS 酸化膜 10b をバターンニングする。このとき、メモリセル領域以外の領域は、高速動作が必要な領域については、同時にシリサイド化が可能なように、マスクとなる TEOS 酸化膜 10b は形成せず、シリサイド化が不必要である領域に選択的に TEOS 酸化膜 10b を形成するものとする。

【0043】 TEOS 酸化膜 10b をバターンニング後、高融点金属または準貴金属を積層し、RTA 処理することによりシリサイド化を行う。その後、未反応の高融点金属または準貴金属を除去する。その後、層間絶縁膜 11 を積層し、ビット線コンタクト 12a がシリサイド層 21 に接する状態となるようにビット線 15 をバターンニングし、さらにストレージノードコンタクト 12b が表面にシリサイド層が形成されていない低濃度不純物領域 7a に接する状態となるように厚膜型のストレージノード 16 を形成し、誘電体膜 19、セルプレート 17 を順次形成して図 4 に示すような構造の半導体装置を得ることが可能である。図 4 (a) に示す主ワード線 6b および列選択線 18 の製造工程については説明を省略する。

【0044】 このように形成された半導体装置は、制御性の厳しいメモリセル領域において、DRAM メモリセルを構成するスイッチングトランジスタのゲート電極 6 の表面およびビット線コンタクト 12 が当接するソース/ドレイン領域 (低濃度不純物領域 7a) の表面を選択的にシリサイド化し、シリサイド層 20、21 を形成することで、配線抵抗の低減、コンタクト抵抗の低減を行い、読み出し、書き込み動作の高速化を可能としている。

【0045】 一方、ストレージノード 16 とソース/ドレイン領域である低濃度不純物領域 7a に接続するため

11

に、ストレージノードコンタクト12bと低濃度不純物領域7aとの間にはシリサイド層を介在させることなく、直接的に接続を行っている。従ってこの部分においては、シリサイド層のモロロジーが悪いことによる接合リークに起因したメモリセルのリフレッシュ不良を抑制することが可能となるという効果がある。

【0046】実施の形態3. 次に、この発明の実施の形態3について説明する。先述の実施の形態2では、DRAMメモリセルを構成するゲート電極6の表面とビット線15と接続されるソース/ドレイン領域の表面とを選択的にシリサイド化し、ストレージノード16と接続されるソース/ドレイン領域の表面はシリサイド化せず、ストレージノードコンタクト12bと直接的に接続するという例について説明した。

【0047】この実施の形態3の半導体装置は、図5に示すように、DRAMメモリセルを構成するゲート電極6の表面及びビット線コンタクト12aとストレージノードコンタクト12bが半導体基板3表面と接する領域においてシリサイド層20、21、21aを介在した状態とし、メモリセルが形成されている活性領域と非活性領域との境界部、すなわち分離酸化膜4の端部のバースピーク4aが形成されている部分にはシリサイド層を形成しないという構造を有している。符号10cは非シリサイド領域1であり、バースピーク4aの近傍の領域上に積層されたTEOS酸化膜を示している。

【0048】図5に示す半導体装置は、メモリセル領域のうち、ストレージノードコンタクト12bが接続される低濃度不純物領域7aの一部を含む分離酸化膜4端部のバースピーク近傍の領域は非シリサイド領域1であり、他のメモリセル領域はシリサイド領域2である。このように非メモリセル領域1とメモリセル領域2を決めた場合の効果、メモリセル領域の全面をシリサイド領域とした場合と比較して説明する。

【0049】図6に、メモリセル領域の全面に対してシリサイド化を行った場合のバースピーク4a近傍の断面形状を示す。シリサイド化によって低濃度不純物領域7aの表面にシリサイド層21aを形成した場合、RTAの温度の上昇があるとバースピーク4aの下部にもシリサイド層21aの形成が進み、低濃度不純物領域7aのエッジからの接合リークを増加させる場合があった。

【0050】これに対し、この発明の実施の形態3の半導体装置は、バースピーク4aの近傍には、ゲート電極6の側面に付着形成するために積層するTEOS酸化膜10cを選択的に残して、シリサイド化の際のマスクとして用い、バースピーク4a近傍の低濃度不純物領域7a表面に対するシリサイド化を防止しており、ストレージノードコンタクト12bと接続する領域は選択的にシリサイド化を行いシリサイド層21aを形成し、コンタクト抵抗の低抵抗化を図っている。

12

【0051】このような構造とすることで、接合リークを抑制しつつ、読み出し、書き込み動作を高速化できる半導体装置を得ることが可能となる。また、メモリセル領域についてのみ説明したが、周辺回路領域およびロジック回路領域については、形成しようとする半導体装置の特性に応じ、シリサイド化を適用することが可能であることは言うまでもない。

【0052】さらに、製造方法においては、実施の形態2において示した場合と同様に、ゲート電極6の側面に付着形成するサイドウォール10と、TEOS酸化膜10cとを別々に形成することも可能である。

【0053】実施の形態4. 次に、この発明の実施の形態4について説明する。図7は例えばDRAMの周辺回路領域を示す断面図であり、符号24はタングステンシリサイド22とドーフトポリシリコン23からなるビット線（この例ではドーフトポリシリコン23の一部がビット線コンタクトを構成している。）であり、MOSトランジスタの一方のソース/ドレイン領域7の表面に形成されたシリサイド層29に当接した状態に形成されている。25は他方のソース/ドレイン領域7上のシリサイド層9に当接するようにコンタクトホール25aの内壁に積層されたバリアメタルであり、26はバリアメタル25の表面に積層され、コンタクトホール25aの内部を埋設するタングステンプラグ、27はタングステンプラグ26を介して他方のソース/ドレイン領域7に電気的に接続される第1アルミ配線をそれぞれ示している。また、ゲート電極6の表面にはシリサイド層28が形成されている。

【0054】この実施の形態4の半導体装置の特徴はp型高濃度不純物領域7bとn型高濃度不純物を含むドーフトポリシリコン23がシリサイド層29を介して接続されている点である。

【0055】従来の一般的な半導体装置は、周辺回路領域内のpMOSトランジスタ形成領域においては、直接的にp型高濃度不純物領域7bとn型高濃度不純物を含むドーフトポリシリコン23を接続するとPN接合が形成されることになり、コンタクトとしてのオーミック特性が得られないという問題があった。

【0056】また、メモリセルを構成するMOSトランジスタがnMOSトランジスタである場合、n型不純物領域に直接コンタクトされるビット線コンタクトを構成する導電物質としてn型ドーフトポリシリコンが一般的に用いられている。その理由は、ビット線コンタクトを埋設するためのコンタクトホールの径が非常に小さく、メタル系のCVDでは安定な埋込みが不可能であるため、ポリシリコンを用いること、p型の不純物を含む導電物質では、PN接合を形成してしまうためn型不純物をドーブすることによるものである。

【0057】しかし、メモリセル領域以外の、周辺回路領域のpMOSトランジスタの形成領域にも、ビット線

コンタクトの形成を必要とする場合、n型のドーフトポリシリコンとp型の不純物領域とを直接的に接続すると、PN接合を形成することになり、オーミック特性を得ることができなかった。

【0058】そこで、この発明の実施の形態4の図7に示すように、異なる導電型の不純物を含む2つの導電物質間にシリサイド層29を介在させることで、PN接合を形成せず、良好な電気的接続を可能としている。

【0059】次に、図7に示す半導体装置の製造方法について説明する。まず、図8(a)示すように、周辺回路領域の半導体基板3の表面に設けられたnウェル領域上にpMOSトランジスタを形成し、さらにスパッタリング法によって、高融点金属または準貴金属、例えばTi膜14aを成膜する。

【0060】その後、図8(b)に示すように、RTA処理を、窒素雰囲気、650~750℃の条件下において60秒間程度行い、ゲート電極6、ソース/ドレイン領域7の表面をシリサイド化し、シリサイド層8、9を得る。その後、シリサイド化しなかったTi膜14a (TiNを含む)を除去する。

【0061】次に、図8(c)に示すように、少なくともシリサイド層8、9の表面に対し、窒素30を $1 \times 10^{15} \sim 1 \times 10^{16}$ ions/cm²、7~20keVの条件で注入する。その後、図8(d)に示すように、プラズマ窒化処理を行い、さらに2度目のRTAを窒素雰囲気、800℃以上の温度の条件下で60秒間程度行い、上層に窒素を含むシリサイド層28、29を得る。

【0062】図9に上層に窒素を含むシリサイド層29の拡大図を示す(シリサイド層28も同様の構成)。図9に示すように、シリサイド層29は上面が窒素原子を多く含む $Ti_{x1}Si_{y1}N_{z1}$ 31によって構成され、この $Ti_{x1}Si_{y1}N_{z1}$ 31の下層にシリコン原子を多く含む $Ti_{x2}Si_{y2}N_{z2}$ 32が、さらに $Ti_{x2}Si_{y2}N_{z2}$ 32の下層にはほぼ純粋な $TiSi_2$ 33が配置されてなるものである。なお、シリサイド層29はそれぞれ、窒素原子、シリコン原子の分布状況を理解しやすくするために3層として表現している。しかし、 $Ti_{x1}Si_{y1}N_{z1}$ 31、 $Ti_{x2}Si_{y2}N_{z2}$ 32、 $TiSi_2$ 33の境界をさらに細かく規定し、より多層な構造、若しくは少ない層からなる構造と規定することも可能である。

【0063】図9のような構造のシリサイド層29を形成し、その後、このシリサイド層29の表面に当接するようにn型高濃度不純物を含むドーフトポリシリコン23をビット線コンタクトとして形成することで、p型不純物領域であるソース/ドレイン領域7とPN接合を形成することのない良好な電気的接続を得ることが可能となる。

【0064】さらに、シリサイド層29の表面が窒素原子を多く含む $Ti_{x1}Si_{y1}N_{z1}$ (ミキシング層)31は、純粋なTiNに近い性質となっており、不純物バ

ア層として働き、ビット線コンタクトであるドーフトポリシリコン23に含まれるn型不純物がソース/ドレイン領域7に拡散することを抑制している。従って、単に $TiSi_2$ からなる、不純物バリア層を形成していないシリサイド層を介して異なる導電型の導電物質を電気的に接続する場合よりも良好な電気特性の半導体装置を得ることが可能となる。

【0065】また、2度目のRTAは必要に応じて行うことが可能であり、2度目のRTAの条件によっては窒素注入後のプラズマ窒化処理工程を省略することも可能である。さらに、この例では、高融点金属または準貴金属としてTi膜14aを形成したが、タングステン、コバルト、ニッケルなどを用いることも可能であることは言うまでもない。

【0066】実施の形態5. 次に、この発明の実施の形態5について説明する。図10はこの発明の実施の形態5の半導体装置のデバイス構造、パターンレイアウトの概念図を示す。この実施の形態5の特徴はDRAMメモリセル領域36内に非シリサイド領域34とシリサイド領域35を設けている点にある。また図10の符号37はカラムデコーダ、センスアンプ、ライトバッファ等のカラム系周辺回路を、38はロウデコーダなどのロウ系周辺回路をそれぞれ示している。

【0067】なお、シリサイド領域35には、実施の形態2若しくは実施の形態3において示したシリサイド化したメモリセル構造を適用することが可能である。

【0068】このように、同一チップ内のDRAMメモリセル領域36に、非シリサイド領域34とシリサイド領域35を混在させることで、リフレッシュ特性に優れたメモリセルと高速アクセスが可能であるメモリセルを混在できる。このような構造のDRAMメモリセルを用いれば、アクセスタイムにマージンの少ない回路に対しては、シリサイド領域35のメモリセルを指定するようにアドレスを決定することで、周辺回路の構成を変更することなく、より回路動作に対するマージンを大きく確保することが可能となる。

【0069】実施の形態6. 次に、この発明の実施の形態6について図11にその構造を示し説明する。既に説明した実施の形態1~5においては、半導体装置のMOSトランジスタに対して選択的にシリサイド化を行い、電気特性の向上、具体的にはメモリセルのセンシティブな動作を確保しつつ、高速動作を可能とする例を示した。この実施の形態6による半導体装置は、半導体装置に対して選択的にシリサイド層を設け、最終的に得られる半導体装置の電気特性を向上させるという点では共通している。しかし、さらに具体的にはシリサイド化はメモリセル領域のセルプレート17の表面にシリサイド層39を積層させることで、層間絶縁膜11を介して上方に配置される第1アルミ配線41の電位の変化に伴って、セルプレート17-第1アルミ配線41間に生じる

カップリングノイズを抑制するという点に特徴がある。

【0070】図11において、符号39は上述の通り、セルプレート17の表面に積層されたシリサイド層、40はシリサイド層39の表面に層間絶縁膜11を介して積層されたバリアメタル、41はバリアメタル40を介して層間絶縁膜11上にパターンニングされた第1アルミ配線をそれぞれ示している。

【0071】次に、シリサイド層39が形成されていない場合の、半導体装置の動作について説明する。一般に、セルプレート17は1/2Vccの電圧に固定されて、使用される。ここで、ストレージノード16の直上、若しくは近傍に第1アルミ配線41が配置された場合、第1アルミ配線の電位がHからL、LからHへと変化した時に、第1アルミ配線41とセルプレート17間におけるカップリング容量によりストレージノード中の電荷（電位）の変動が生じる可能性がある。特に、セルプレート17がドーフトポリシリコン等の比較的抵抗の高い材料により形成されていると、カップリングノイズがストレージノード16に対してもノイズとなって悪影響を与えることが問題となっていた。

【0072】そこで、図11に示す半導体装置のように、セルプレート17の表面を低抵抗なシリサイド層39で覆うことで、インピーダンスをより小さく抑制する。このような構成にすることで第1アルミ配線41の電位の変動のためにカップリングノイズが生じた場合においても、容易に、外部の1/2Vccのアルミ配線までノイズを逃がすことが可能であり、ストレージノード16にノイズが悪影響を及ぼすことを抑制することができる。

【0073】また、カップリングノイズ抑制の効果は、シリサイド層39をTiSi₂等の、より低抵抗なシリサイドにより構成することで大きくなる。

【0074】なお、この実施の形態6の半導体装置のシリサイド層39は、実施の形態1において示した製造方法と同様に、ポリシリコンの表面にTi等の高融点金属又は準貴金属を積層後、所定の雰囲気中でRTAによりシリサイド化する方法によって形成した層でも良いし、またセルプレート17を形成後、スパッタリング法によって形成した層でも良い。さらに、シリサイド層39の形成は、セルプレート17となるポリシリコン膜を積層した直後であっても、エッチングによってセルプレート17のパターンニングを行った後でも、どちらの段階で行っても良い。

【0075】実施の形態7. 次に、この発明の実施の形態7の半導体装置について、図12に示し、説明する。この実施の形態7の半導体装置の構造は、実施の形態6の図11に示した半導体装置の異なる断面に相当するものであり、第1アルミ配線40aがコンタクト41aaを介して、セルプレート17表面を覆うシリサイド層39aに当接しており、また別の第1アルミ配線41b

が、半導体基板3の表面領域に形成された低濃度不純物領域7aに、コンタクト41bbを介して接続されているものである。なお、この場合のシリサイド層39aは、セルプレート17を構成するドーフトポリシリコンよりも、選択比の大きな材質のシリサイド、例えばタングステンシリサイドによって構成することを特徴とする。

【0076】図12に示すように、シリサイド層39aと半導体基板3の表面とでは、第1アルミ配線41a、41bの形成位置からの距離が、大きく違っている。そのためシリサイド層39が形成されていない場合は、コンタクト41aa、41bbを埋め込むためのコンタクトホールを同時に開口すると、コンタクトの41aaを埋め込むためのコンタクトホールは、キャパシタを構成するセルプレート17及び誘電体膜19を突き抜け、さらに下方まで開口が進んだ状態に形成されてしまう。突き抜け部分42が形成されると、その内部に導電物質を埋設してコンタクト41aaを形成した際、結果としてコンタクト接触面積が変化し、コンタクト抵抗のばらつきが生じ、安定した電気特性が得られなくなってしまうという問題があった。

【0077】そこで、この発明では、セルプレート17よりも選択比の大きなシリサイド層39aをセルプレート17の表面に積層することでエッチングマスクとし、同時に深さの異なるコンタクトホールを開口した場合においても、キャパシタ電極を突き抜けた状態のコンタクトホールが形成されない構造としている。このように、セルプレート17の表面に積層されたシリサイド層39aは、セルプレート17の低抵抗化に役立つばかりではなく、セルプレート17に電気的に接続される第1アルミ配線41aとの良好な接続も可能としている。

【0078】

【発明の効果】以下に、この発明の各請求項の効果について記載する。この発明の請求項1による半導体装置によれば、メモリセル部分を非シリサイド領域とし、メモリセル以外の周辺回路領域または周辺回路領域を含む論理回路領域をシリサイド領域とすることで、非シリサイド領域では接合リークのない良好な回路動作を可能とし、シリサイド領域では、トランジスタのゲート電極表面及びソース/ドレイン領域表面にシリサイド層を形成し、配線抵抗、コンタクト抵抗の低抵抗化を図り高速動作を可能とする半導体装置を得られる。

【0079】また、この発明の請求項2による半導体装置によれば、DRAMメモリセルを構成するトランジスタのゲート電極上及びビット線コンタクトと接するソース/ドレイン領域の表面のみに選択的にシリサイド層を形成して、低抵抗化を図り、ストレージノードが接するソース/ドレイン領域に対してはシリサイド化を行わないため、シリサイド層のモロロジーが悪いことによる接合リークに起因したメモリセルのリフレッシュ不良を抑

制することが可能となり、良好な電気特性の半導体装置を得ることが可能となる。

【0080】さらに、この発明の請求項3による半導体装置によれば、DRAMメモリセルを構成するトランジスタの、ストレージノードが接続される側のソース/ドレイン領域の表面のうち、ストレージノードと接する部分のみに選択的にシリサイド層を形成し、他の領域、すなわちソース/ドレイン領域の外周領域はシリサイド化しないことにより、シリサイド化に起因する接合リークを抑制するとともに、ストレージノードとソース/ドレイン領域とのコンタクト抵抗の低抵抗化を可能とするものである。

【0081】また、この発明の請求項4による半導体装置によれば、互いに異なる導電型の不純物を含有する不純物領域とコンタクトを、シリサイド層を介することでPN接合を形成することなく接続することが可能であり、このシリサイド層の表面が窒素原子を多く含む純粋なTiNに近い性質となっており、不純物バリア層として働き、不純物が拡散することを抑制し、良好な電気特性の半導体装置を得ることが可能となる。

【0082】さらに、この発明の請求項5による半導体装置によれば、シリサイド層を介することで、メモリセル領域の第二導電型のトランジスタを構成する第二導電型のソース/ドレイン領域に対して直接接続が可能な第二導電型の不純物を含む半導体物質からなる配線を、周辺回路領域を構成する第一導電型の不純物領域に電気的に接続可能であり、シリサイド層が不純物の拡散を抑制できることから、良好な電気特性の半導体装置を得ることが可能となる。

【0083】また、この発明の請求項6による半導体装置によれば、メモリセル領域をシリサイド領域と非シリサイド領域の両者により構成することにより、高速動作を可能とする領域と、リフレッシュ特性の向上を可能とする領域を一つのチップ上に持つことが可能であり、必要に応じて機能を使い分けることが可能となる。

【0084】さらに、この発明の請求項7による半導体装置によれば、メモリセルを構成するキャパシタの上部電極にシリサイド層を被着させ低抵抗化させることで、このキャパシタの上部に層間絶縁膜を介して形成される上層配線とのカップリングノイズの影響を低減し、良好な電気特性の半導体装置を得ることが可能となる。

【0085】また、この発明の請求項8による半導体装置によれば、キャパシタの上部電極上形成するシリサイド層を、ドーブトポリシリコンよりも選択比の高い物質で構成することで、上層配線とキャパシタ電極との電気的接続に必要なコンタクトを埋設する開口部の開口の際に、キャパシタへのオーバーエッチングを抑制でき、良好な電気特性の半導体装置を得ることが可能となる。

【0086】さらに、この発明の請求項9による半導体装置の製造方法によれば、ゲート電極を形成後に積層す

る絶縁物質を、メモリセル領域となる第一の領域上では積層したまま残し、周辺回路または周辺回路を含む論理回路領域である第二の領域上では、異方性エッチングを行ってゲート電極の側面に付着するサイドウォールとする。第二の領域のサイドウォールは、次工程の高濃度不純物領域形成時の不純物注入マスクとしても用いることが可能となる。第一の領域に積層した絶縁物質はシリサイド化工程におけるシリサイド化防止膜として用いることが可能になるという効果がある。

10 【0087】また、この発明の請求項10による半導体装置の製造方法によれば、シリサイド膜を形成後、このシリサイド膜に窒素を注入することによってシリサイド層の表面を窒素原子を多く含む純粋なTiNに近い性質とすることができ、このTiNに近い性質の膜が不純物バリア層として働き、不純物が拡散することを抑制し、良好な電気特性の半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の半導体装置を示す図である。

20 【図2】 この発明の実施の形態1の半導体装置を示す図である。

【図3】 この発明の実施の形態1の半導体装置の製造フローを示す図である。

【図4】 この発明の実施の形態2の半導体装置を示す図である。

【図5】 この発明の実施の形態3の半導体装置を示す図である。

【図6】 この発明の実施の形態3の説明に必要な図である。

30 【図7】 この発明の実施の形態4の半導体装置を示す図である。

【図8】 この発明の実施の形態4の半導体装置の製造フローを示す図である。

【図9】 この発明の実施の形態4の半導体装置を示す図である。

【図10】 この発明の実施の形態5の半導体装置を示す図である。

【図11】 この発明の実施の形態6の半導体装置を示す図である。

40 【図12】 この発明の実施の形態7の半導体装置を示す図である。

【図13】 従来の技術を示す図である。

【図14】 従来の技術を示す図である。

【符号の説明】

1、34. 非シリサイド領域

2、35. シリサイド領域

3. 半導体基板

4. 分離酸化膜

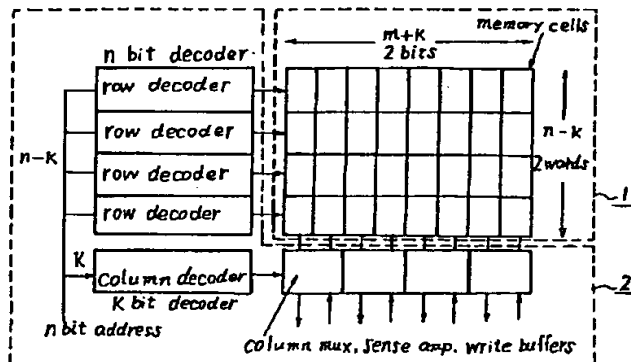
4a. パーズピーク

50 5. ゲート酸化膜

- 6. ゲート電極
- 6 a. 副ワード線
- 6 b. 主ワード線
- 7. ソース/ドレイン領域
- 7 a. 低濃度不純物領域
- 7 b. 高濃度不純物領域
- 8、9、20、21、21 a、21 a a、28、29、
- 39. シリサイド層
- 10. サイドウォール
- 10 a、10 b、10 c. TEOS酸化膜
- 11. 層間絶縁膜
- 12、41 a a、41 b b. コンタクト
- 12 a. ビット線コンタクト
- 12 b. ストレージノードコンタクト
- 13. レジストマスク
- 14. 高融点金属または準貴金属
- 15、24. ビット線
- 16. ストレージノード

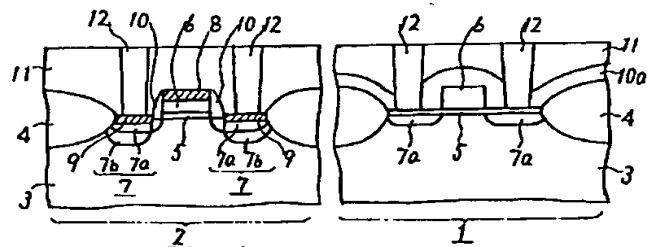
- 17. セルプレート
- 18. 列選択線
- 19. 誘電体膜
- 22. タングステンシリサイド
- 23. ドープトポリシリコン (n+)
- 25、40 a、40 b. バリアメタル
- 25 a. コンタクトホール
- 26. タングステンプラグ
- 27、41 a、41 b. 第1アルミ配線
- 10 30. 窒素
- 31. $Ti_{x1}Si_{y1}N_{z1}$
- 32. $Ti_{x2}Si_{y2}N_{z2}$
- 33. $TiSi_2$
- 36. DRAMメモリセル
- 37. column系周辺回路
- 38. Row系周辺回路
- 42. 突き抜け部分

【図1】



1: 非シリサイド領域
2: シリサイド領域

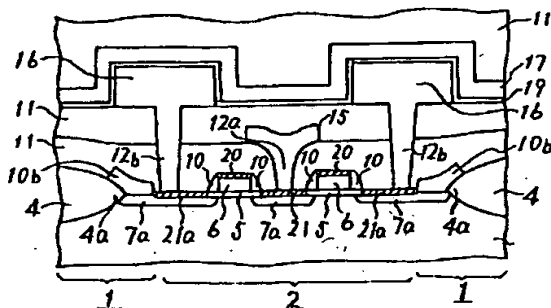
【図2】



3: 半導体基板
4: 分離酸化膜
5: ゲート酸化膜
6: ゲート電極
7a: 低濃度不純物領域
7b: 高濃度不純物領域
7: ソース/ドレイン領域

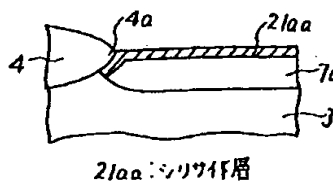
8、9: シリサイド層
10: サイドウォール
10a: TEOS酸化膜
11: 層間絶縁膜
12: コンタクト

【図5】

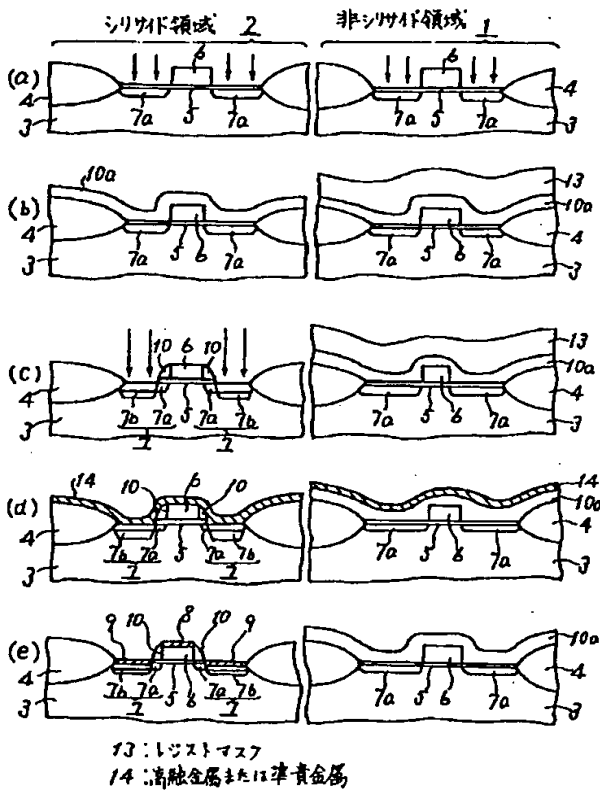


4a: バスビーク
10c: TEOS酸化膜
21a: シリサイド層

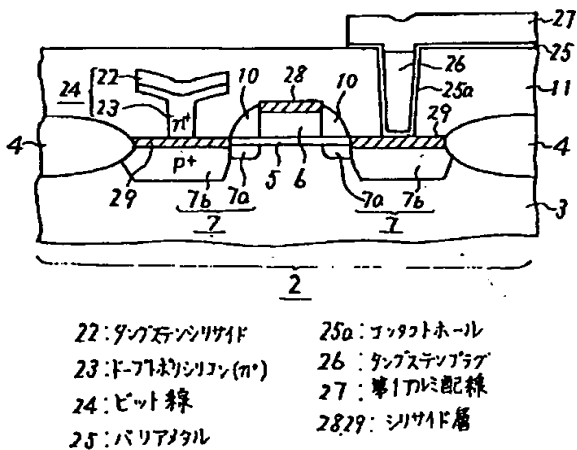
【図6】



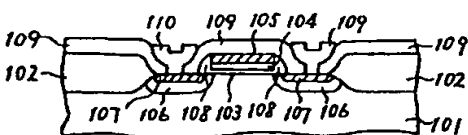
【図3】



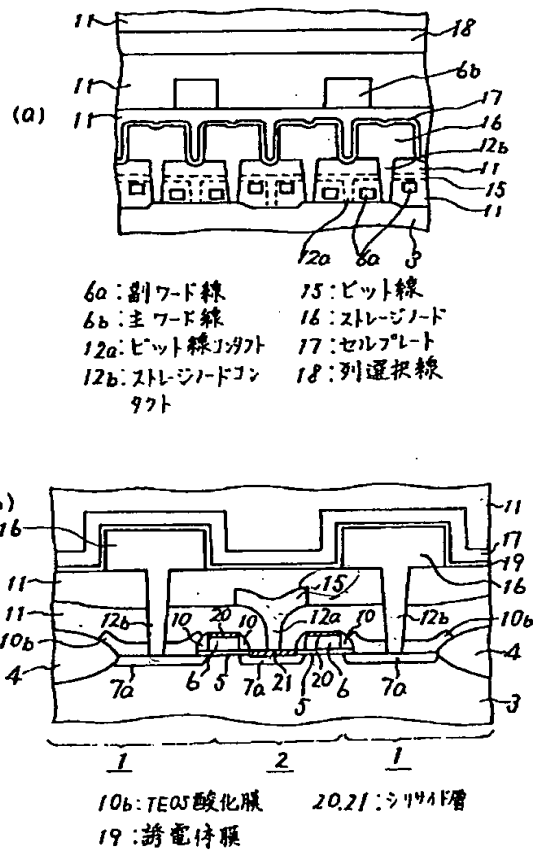
【図7】



【図13】



【図4】



【図8】

